

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-335811

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/50		F		
21/60	3 0 1	B		
23/34		A		

審査請求 未請求 請求項の数9 OL (全13頁)

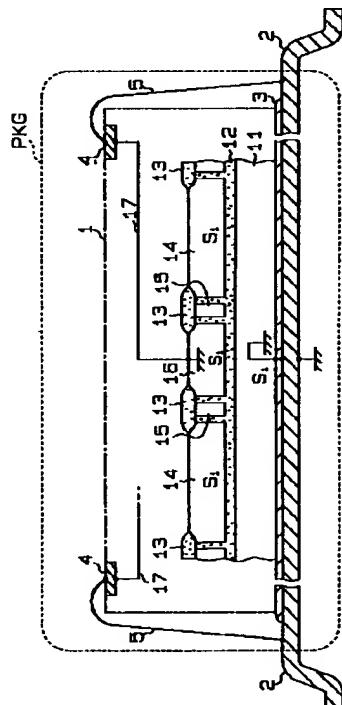
(21)出願番号	特願平6-129324	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成6年(1994)6月10日	(72)発明者	小原 文雄 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(72)発明者	吉原 晋二 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(72)発明者	藤野 誠二 愛知県刈谷市昭和町1丁目1番地 日本電 装株式会社内
		(74)代理人	弁理士 恩田 博宣

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 SOI (Silicon On Insulator) 構造を有する半導体チップを採用した半導体装置にあって、そのパッケージサイズの増大やパッケージングコストの高揚を招くことなく、その放熱効率の向上を図る。

【構成】 SOI 構造を有する半導体チップ1の半導体基板1 1裏面を基準電位に設定し、該半導体基板1 1裏面とリードフレーム(ダイパッド)2との電気的な導通を維持した状態で同チップ1をダイパッド2に接着する。一方、半導体チップ1の表面には、その内部の絶縁膜1 2上において基準電位に設定される部位(バッファ領域1 6)との電気的な導通が維持される放熱パッド4を設ける。そしてこの放熱パッド4とリードフレーム(外部接続リード部)2とを放熱リード線5によって電気的に接続し、絶縁膜1 2上に発生した熱がこれら放熱パッド4及び放熱リード線5を介してリードフレーム2に放熱されるようにする。



1

2

【特許請求の範囲】

【請求項1】半導体チップ搭載部と外部接続リード部とが一体形成されたリードフレームと、半導体基板上に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される構造を有するとともに、前記半導体基板の裏面が基準電位に設定されて、該半導体基板裏面と前記リードフレームとの電気的な導通が維持された状態で同リードフレームの半導体チップ搭載部に接着される半導体チップとを有する半導体装置であって、前記半導体チップの、前記絶縁膜上において基準電位に設定される部位との電気的な導通が維持されて、同半導体チップの表面に配設された1乃至複数の放熱パッドと、該放熱パッドと前記リードフレームの外部接続リード部とを電気的に接続する放熱リード線と、を具えることを特徴とする半導体装置。

【請求項2】前記放熱パッドとの電気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位は、前記セルの分離とともに、それらセル間の干渉を低減するために設けられたバッファ領域である請求項1記載の半導体装置。

【請求項3】前記放熱パッドとの電気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位は、前記セルを分離するために設けられたトレンチ溝領域である請求項1記載の半導体装置。

【請求項4】前記放熱パッドとの電気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位は、前記各セル自身の基準電位電極部である請求項1記載の半導体装置。

【請求項5】前記放熱パッドは、前記半導体チップの前記絶縁膜上において基準電位に設定される部位の複数と電気的に共通接続されるものである請求項1乃至4の何れかに記載の半導体装置。

【請求項6】前記放熱パッドは、前記半導体チップのデッドスペースに複数配設され、それら放熱パッド間が更に放熱リード線によって電気的に接続される請求項1乃至5の何れかに記載の半導体装置。

【請求項7】前記リードフレームは、前記半導体チップ搭載部とは別体として形成された別体外部接続リード部を更に有し、

前記半導体チップは、前記セルの各電極部との電気的な導通が維持されてその表面に配設された複数の電極パッドを更に有し、

前記半導体装置は、それら各電極パッドと前記リードフレームの別体外部接続リード部とを電気的に接続するリード線を更に有し、

前記放熱パッドは、前記電極パッドよりも広い面積を有して形成されることを特徴とする請求項1乃至6の何れかに記載の半導体装置。

【請求項8】前記リードフレームは、前記半導体チップ

10

搭載部とは別体として形成された別体外部接続リード部を更に有し、

前記半導体チップは、前記セルの各電極部との電気的な導通が維持されてその表面に配設された複数の電極パッドを更に有し、

前記半導体装置は、それら各電極パッドと前記リードフレームの別体外部接続リード部とを電気的に接続するリード線を更に有し、

前記放熱リード線は、前記リード線よりも太い線径を有する線材からなることを特徴とする請求項1乃至7の何れかに記載の半導体装置。

20

【請求項9】半導体チップ搭載部と外部接続リード部とが一体形成されたリードフレームと、半導体基板上の少なくとも一部に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される構造を有するとともに、半導体基板裏面と前記リードフレームとの電気的な導通が維持された状態で同リードフレームの半導体チップ搭載部に接着される半導体チップとを有する半導体装置であって、

20

前記半導体チップ内の共通電位に設定される複数の部位との電気的な導通が維持されて同半導体チップの表面に配設された放熱パッドを具えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、いわゆるSOI(Silicon On Insulator)構造を有する半導体チップがリードフレームに装着されて構成される半導体装置に関し、特に同半導体装置の放熱性を向上させるための装置構造の改良に関する。

【0002】

【従来の技術】SOI構造とは周知のように、半導体基板上に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される半導体装置構造である。

30

【0003】こうしたSOI構造を有する半導体チップ、或いは同SOI構造を一部に含む半導体チップは一般に、高耐圧化・大電流化に伴って発生するノイズの対策が採り易い、更には耐熱性が高い、等々の利点があることから、パワーデバイスとして用いられることが多い。

40

【0004】ただし、同SOI構造を有する半導体チップ、或いは同SOI構造を一部に含む半導体チップ(以下、これらを含めてSOI構造を有する半導体チップという)では、セル間の絶縁分離のために、熱伝導性の低い絶縁層(SiO₂層)が半導体基板内に存在することから、自ずとチップ裏面からの放熱性が低下し、セルが形成されているチップ表面での発熱が大きくなる。したがって、こうした発熱に対する対策が、該SOI構造を有する半導体チップのパッケージングにおいて必要とな

50

る。

【0005】そこで従来、こうしたS0I構造を有する半導体チップをパワーデバイス等、消費電力の大きなデバイスに応用する場合には、パッケージ表面に大きな放熱板を取り付けるなどの工夫が講じられている。

【0006】

【発明が解決しようとする課題】このように、パッケージ表面に放熱板を取り付ける構造によれば、確かにある程度の放熱効果は期待できる。

【0007】しかしこの場合、パッケージサイズが必要以上に大きくなり、同半導体装置の設置空間としても大きな空間が必要になるなど、近年の小型化・高密度化の流れには添わないものとなる。そしてこの場合、パッケージングコストも高価なものとなる。

【0008】また、このようにパッケージ表面に放熱板を取り付けたとしても、半導体基板表面からの放熱効率となると、その改善度は然程大きくはない。なお従来は、例えば特開平5-55409号公報記載の装置のように、・半導体チップの素子搭載側を樹脂封止し、同半導体チップの搭載部の裏面を外部に露出させる。といった構成によって、半導体装置としての放熱性の向上を図ったものもある。しかし、熱伝導性の低い絶縁層が半導体基板内に存在する上記S0I構造を有する半導体チップの場合には、そもそもチップ裏面からの放熱性が悪いため、たとえこうした構成を採用したとしても、その放熱効率は然程改善されない。

【0009】この発明は、こうした実情に鑑みてなされたものであり、特に上記S0I構造を有する半導体チップを採用したものにあって、そのパッケージサイズの増大やパッケージングコストの高揚を招くことなく、その放熱性を向上することのできる半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】こうした目的を達成するため、請求項1記載の発明では、半導体チップ搭載部と外部接続リード部とが一体形成されたリードフレームと、半導体基板上に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される構造(S0I構造)を有するとともに、前記半導体基板の裏面が基準電位に設定されて、該半導体基板裏面と前記リードフレームとの電気的な導通が維持された状態で同リードフレームの半導体チップ搭載部に接着される半導体チップとを有する半導体装置にあって、前記半導体チップの、前記絶縁膜上において基準電位に設定される部位との電気的な導通が維持されて、同半導体チップの表面に配設された1乃至複数の放熱パッドと、該放熱パッドと前記リードフレームの外部接続リード部とを電気的に接続する放熱リード線とを具える構成とする。

【0011】また、請求項2記載の発明では、この請求項1記載の発明の構成において、前記放熱パッドとの電

気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位を、前記セルの分離とともにそれらセル間の干渉を低減するために設けられたバッファ領域とする。

【0012】また、請求項3記載の発明では、同請求項1記載の発明の構成において、前記放熱パッドとの電気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位を、前記セルを分離するために設けられたレンチ溝領域とする。

10 【0013】また、請求項4記載の発明では、同請求項1記載の発明の構成において、前記放熱パッドとの電気的導通が維持される前記半導体チップの前記絶縁膜上において基準電位に設定される部位を、前記各セル自身の基準電位電極部とする。

【0014】また、請求項5記載の発明では、これらの各構成において、前記放熱パッドは、前記半導体チップの前記絶縁膜上において基準電位に設定される部位の複数と電気的に共通接続される構成とする。

20 【0015】また、請求項6記載の発明では、更に上記の各構成において、前記放熱パッドは、前記半導体チップのデッドスペースに複数配設され、それら放熱パッド間に更に放熱リード線によって電気的に接続される構成とする。

【0016】また、請求項7記載の発明では、前記リードフレームは、前記半導体チップ搭載部とは別体として形成された別体外部接続リード部を更に有し、前記半導体チップは、前記セルの各電極部との電気的な導通が維持されてその表面に配設された複数の電極パッドを更に有し、前記半導体装置は、それら各電極パッドと前記リードフレームの別体外部接続リード部とを電気的に接続するリード線を更に有するとするときに、前記放熱パッドは、前記電極パッドよりも広い面積を有して形成されるものとする。

40 【0017】また、請求項8記載の発明では、上記同様、前記リードフレームは、前記半導体チップ搭載部とは別体として形成された別体外部接続リード部を更に有し、前記半導体チップは、前記セルの各電極部との電気的な導通が維持されてその表面に配設された複数の電極パッドを更に有し、前記半導体装置は、それら各電極パッドと前記リードフレームの別体外部接続リード部とを電気的に接続するリード線を更に有するとするときに、前記放熱リード線は、前記リード線よりも太い線径を有する線材からなるものとする。

【0018】そして、請求項9記載の発明では、半導体チップ搭載部と外部接続リード部とが一体形成されたリードフレームと、半導体基板上の少なくとも一部に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される構造を有するとともに、半導体基板裏面と前記リードフレームとの電気的な導通が維持された状態で同リードフレームの半導体チップ搭載部に接

5

着される半導体チップとを有する半導体装置にあって、前記半導体チップ内の共通電位に設定される複数の部位との電気的な導通が維持されて同半導体チップの表面に配設された放熱パッドを具える構成とする。

【0019】

【作用】上記リードフレームの外部接続リード部は通常、半導体装置パッケージを実装する際にプリント配線基板上のプリント配線にハンダ付けされるなどして、その放熱路が確保される。

【0020】また、上記半導体チップの半導体基板裏面が基準電位（通常、接地電位）に設定されるため、これが電気的な導通が維持された状態で接着される上記リードフレーム（正確にはその半導体チップ搭載部）は、上記外部接続リード部も含めて基準電位に維持される。

【0021】そこで、上記請求項1記載の発明によるように、半導体チップ内の上記絶縁膜において基準電位に設定される部位を、上記放熱パッド及び放熱リード線を介して上記リードフレームの外部接続リード部に電気的に接続するようにすれば、同部位についても放熱路が形成、確保されるようになる。

【0022】すなわちこうした構成により、半導体基板表面から直接、リードフレーム外部接続リード部への放熱が図られるようになり、その放熱効率も大幅に改善されることとなる。

【0023】またこうした構成によれば、半導体チップ内の上記絶縁膜において基準電位に設定される部位の電位固定も確実に行われることとなり、同半導体装置としての動作特性もより安定したものとなる。

【0024】なお、上記放熱パッドとの電気的導通が維持される半導体チップ内の上記絶縁膜において基準電位に設定される部位が、例えば上記請求項2記載の発明によるように、

- ・前記セルの分離とともにそれらセル間の干渉を低減するために設けられたバッファ領域。

或いは上記請求項3記載の発明によるように、

- ・前記セルを分離するために設けられたトレンチ溝領域。

であるとすれば、上記絶縁膜上に発生する熱がこれらバッファ領域やトレンチ溝領域から直接、上記リードフレームの外部接続リード部に逃がされることとなり、半導体基板表面からの放熱が極めて効率的に実現されるようになる。

【0025】また、同放熱パッドとの電気的導通が維持される半導体チップ内の上記絶縁膜において基準電位に設定される部位が、例えば上記請求項4記載の発明によるように、

- ・前記各セル自身の基準電位電極部。

であるとすれば、セル自身の発生する熱がそれらセル自身から直接、上記リードフレームの外部接続リード部に逃がされることとなる。因みに、半導体チップに発生す

6

る熱とはそれらセルの駆動に伴うものがほとんどである。したがってこうした構成によれば、半導体基板表面からの放熱が更に効率的に実現されることとなる。

【0026】また、バッファ領域にしろ、トレンチ溝領域にしろ、或いは各セル自身の基準電位電極部にしろ、これら部位は通常、上記絶縁膜上に複数存在するものであることから、上記請求項1記載の発明によるように、

- ・前記放熱パッドは、前記半導体チップの前記絶縁膜において基準電位に設定される部位の複数と電気的に共

10 通接続される。

構成とすることもできる。この場合、それらバッファ領域、トレンチ溝領域、或いは各セル自身の基準電位電極部の配線面積がそれだけ広くなり、ひいては放熱路の面積もそれだけ広くなる。したがってこうした構成によれば、上述した放熱効率や電位の固定化が更に促進されることとなり、その放熱効果並びに電位固定効果も更に助長されるようになる。なおこうした構成において、

(イ) バッファ領域、トレンチ溝領域、或いは各セル自身の基準電位電極部の別に、それらの複数を各別の放熱

20 パッドに共通接続する構成。

(ロ) バッファ領域、トレンチ溝領域、及び各セル自身の基準電位電極部を区別することなく、それら絶縁膜上の配置に応じて、最寄りの放熱パッドにランダムに共通接続する構成。

等々、の選択は任意である。

【0027】また、上記放熱パッドは、半導体チップのデッドスペースに複数配設することができ、その数もより多いことが望ましい。そしてその場合には、上記請求項6記載の発明によるように、

30 ・それら放熱パッド間が更に放熱リード線によって電気的に接続される。

構成とすれば、この場合も配線面積、ひいては放熱路面積の拡大が図られることとなり、その放熱効果並びに電位固定効果が更に助長される。

【0028】また通常、こうした半導体装置にあっては、リードフレームは、半導体チップ搭載部とは別体として形成された別体外部接続リード部を更に有し、半導体チップは、上記セルの各電極部との電気的な導通が維持されてその表面に配設された複数の電極パッドを更に有し、そして半導体装置自身は、それら各電極パッドと上記リードフレームの別体外部接続リード部とを電気的に接続するリード線を更に有して構成される。

【0029】そこで、上記請求項7記載の発明によるように、

- ・前記放熱パッドは、前記電極パッドよりも広い面積を有して形成される。

或いは上記請求項8記載の発明によるように、

- ・前記放熱リード線は、前記リード線よりも太い線径を有する線材からなる。

50 ものとすれば、これによっても上述した放熱効果の更な

る向上が図られるようになる。

【0030】また、上記請求項9記載の発明によるよう
に、

・半導体チップ搭載部と外部接続リード部とが一体形成
されたリードフレームと、半導体基板上の少なくとも一部に絶縁膜が形成され、該形成された絶縁膜上に単位機能回路であるセルが配設される構造を有するとともに、半導体基板裏面と前記リードフレームとの電気的な導通が維持された状態で同リードフレームの半導体チップ搭載部に接着される半導体チップとを有する半導体装置、すなわち少なくとも部分SOI構造を有して且つ、半導体基板の裏面が基準電位（接地電位）に設定されるとは限らないもの。

であっても、前記半導体チップ内の共通電位に設定される複数の部位との電気的な導通が維持されて同半導体チップの表面に配設された放熱パッドを具える構成として、その放熱性は確実に改善されるようになる。

【0031】

【実施例】

(第1実施例) 図1に、この発明にかかる半導体装置の第1の実施例についてその装置構造を示す。

【0032】この実施例の半導体装置は、基本的なSOI構造を有する半導体チップを対象として、そのチップ表面からの放熱性を改善し得るパッケージ構造を有する装置として構成されている。

【0033】こうしたSOI構造を有する半導体チップが、

・高耐圧化・大電流化に伴って発生するノイズの対策が採り易い。

・耐熱性も高い。

等々の利点はあるものの、セル間の絶縁分離のための絶縁層(SiO₂層)が存在するために、チップ裏面からの放熱性に難があることは前述した通りである。そしてこのことが、パワーデバイスへの応用上、懸念される点となっている。

【0034】そこで同実施例の装置では、図1に示されるように、

(1) 上記半導体チップ1の半導体(Si)基板11を基準電位（接地電位）に設定するとともに、その裏面とリードフレーム（正確にはその半導体チップ搭載部、すなわちダイパッド）2とを導電性を有していて且つ、熱伝導性にも優れた接着剤3にて接着する。なお、こうした導電性接着剤3としては例えば、銀入りエポキシ樹脂接着剤や金-シリコン(Si)共晶接着剤などがある。

(2) 絶縁膜(SiO₂膜)12上においてセルを分離し、且つそれらセル間のノイズや熱等の干渉を低減するために設けられたバッファ領域16についても、これを基準電位（接地電位）に設定する。

(3) 同半導体チップ1の表面には放熱パッド4を設け、上記基準電位に設定したバッファ領域16とこの放

熱パッド4とを適宜の内部配線17によって電気的且つ物理的に接続する。

(4) このバッファ領域16に電気的且つ物理的に接続された放熱パッド4と同チップ1の裏面が導電性を保つて接着されている上記リードフレーム（正確にはその外部接続リード部、すなわちアウタリード）2とを更に、放熱リード線5によって電気的且つ物理的に接続する。といった構造を採用することによって、当該チップ1の表面（セル搭載面）から直接、上記リードフレーム2への放熱が図られるようになっている。

10 【0035】ここで、リードフレームは、例えば図2に平面図として示されるように、そのダイパッド2とアウタリード2a、2bとが一体形成されている。そして、当該半導体装置パッケージPKGが図示しないプリント配線基板上に実装される際に、上記アウタリード2a、2bが同基板のプリント配線にハンダ付けされるなどして、その放熱路が確保される。図3は、図2に平面図を示した同実施例の装置の側面構造を示したものである。

【0036】なお、上記アウタリード2a、2bがハンダ付け等によって電気的且つ物理的に接続されるプリント配線部も含めて、この確保された放熱路は全て基準電位に維持される。

【0037】一方、図1に示したSOI構造を有する半導体チップ1において、膜13は、セル分離用誘電体層(SiO₂)を示している。また同チップ1において、領域14はセル形成領域、領域15はトレンチ溝領域である。セル形成領域14及び上記バッファ領域16は通常、シリコン(Si)によって形成されており、トレンチ溝領域15は通常、多結晶シリコン(Poly-Si)が埋め込まれて形成されている。

【0038】また、上記放熱パッド4は、図2に併せ示される通常の電極パッド9と同様、LSI製造工程におけるコンタクトホール形成手法を用いて、当該半導体チップ1のデッドスペースに形成され、またその際、上記内部配線17も、同チップ1内のスペースの許す限り、その内部に極力広い配線幅にて形成されている。

【0039】そして、上記絶縁膜12上で基準電位に設定されているバッファ領域16が、これら内部配線17、放熱パッド4及び上記放熱リード線5を介して、当該パッケージPKGの装着時その放熱路が確保される上述したリードフレーム（アウタリード2a、2b）に電気的且つ物理的に接続される構成となる。

【0040】このため、該実施例の半導体装置によれば、前記SOI構造にあって、絶縁膜12上に発生した熱の同チップ1裏面への放熱が該絶縁膜12の存在によって妨げられる状況にあっても、その発生した熱は、上記バッファ領域16から直接的に、高い効率でアウタリード2a、2bに放熱されるようになる。

【0041】そして、絶縁膜12上に発生した熱に対するこうした放熱路の確保によって、この類の半導体装置

をより大きな消費電力が必要とされるパワーデバイスに応用することも可能となる。

【0042】また、同実施例の半導体装置の上記構成によれば、絶縁膜12上において基準電位に設定されるバッファ領域16が半導体基板11に電気的に接続されることとなるため、該バッファ領域16の電位固定が確実に行われ、同半導体装置としての動作特性もより安定したものとなる。

【0043】なお、同実施例の半導体装置において、上記放熱パッド4は、図2に併せ示されるように、当該半導体チップ1のデッドスペース（例えばチップ1の四隅）に、通常の電極パッド9よりも大きな面積を有して形成されることが望ましい。こうした配慮により、上述した放熱効率も更に向上されることとなる。

【0044】また、同図2において、放熱パッド6として示されるように、こうしたパッドは、半導体チップ1のレイアウトの都合により同チップ1の中寄りに配設される場合もある。そのような場合には、放熱リード線7によって、各放熱パッド間を中継する構成とすることもできる。そしてこのような中継によれば、配線面積、したがって放熱面積が拡大されることとなり、放熱効率の点では更なる向上が期待される。

【0045】また、同実施例の半導体装置において、上記内部配線17には、アルミニウムや多結晶シリコン等が用いられ、上記放熱リード線5及び7には、アルミニウムや銅、金等のワイヤ（線材）が用いられる。特に、放熱リード線5及び7としては、導電性、並びに熱伝導性に優れたワイヤが望まれ、その線径も、上記ダイパッド2とは別体として形成される外部接続リード（別体外部接続リード）8（図2）と通常の電極パッド9（図2）とを接続する通常のリード線よりも太いことが望ましい。例えば、通常のリード線の線径が20～40μmであるとすれば、該放熱リード線5及び7としては、100～200μm程度、或いはそれ以上の線径を有するワイヤを用いることが、上述した放熱効率を更に向上する上で望ましい。

【0046】また、図1では便宜上、バッファ領域16として1つの領域のみを代表して図示したが、SOI構造を有する半導体チップ1において、同バッファ領域16は通常、絶縁膜12上に複数存在する。そしてその場合には、それら複数のバッファ領域を上記放熱パッド4に共通接続することもできる。むしろ、複数のバッファ領域をこうして共通接続することが、その配線面積を広げ、ひいては放熱面積を広げる上で望ましく、この場合も、放熱効率の更なる向上が図られるようになる。

【0047】また、上記パッケージPKGの材料としては通常、樹脂モールドが用いられるが、こうしたパッケージPKGの材料は任意である。他に例えば、同パッケージPKGの材料としてセラミック等が用いられる場合であっても、上記同様に、該実施例の装置の構造を適用

することができる。

【0048】また、リードフレームの形状も、図2及び図3に例示したものに限られることなく任意である。他に例えば、内部接続リード部（インナリード）がチップ1の上にせり出す構造となるいわゆるLOC（Lead On Chip）タイプのリードフレームが用いられる場合であっても、上記に準じた態様で、該実施例の装置の構造を適用することができる。

【0049】また、放熱用リードとして利用される上記10アウタリード2a、2bの配置も、図2に例示した配置に限られることなく任意である。これらアウタリード2a、2bは、ダイパッド2と一体に形成されるものであればよく、その配置等は何ら問われない。もっとも、これらアウタリード2a、2bの数は、パッケージの大きさにもよるとはいえ、可能な限り多いことが、放熱効率の向上を図る上で望ましい。

【0050】（第2実施例）図4に、この発明にかかる半導体装置の第2の実施例を示す。この第2の実施例の半導体装置も、基本的には先の第1の実施例の半導体装置と同様、SOI構造を有する半導体チップを対象として、そのチップ表面からの放熱性を改善し得るパッケージ構造を有する装置として構成されている。

【0051】また、図4においても、先の図1と同一若しくは対応する要素には、それぞれ同一若しくは対応する符号を付して示している。すなわち、先の第1の実施例の半導体装置では、基準電位に設定したバッファ領域16を半導体チップ1の内部配線17によって放熱パッド4に接続したのに対し、この第2の実施例の半導体装置では、基準電位に設定したトレンチ溝領域25を当該20半導体チップ1の内部配線27によって放熱パッド4に接続するようしている。

【0052】ここで、上記トレンチ溝領域25は、セル形成領域24を分離するための設けられた領域であり、同領域25には、同図4に示されるように、セル分離用誘電体層23の分離された部分を通じて電位（基準電位）固定用の電極が設けられている。

【0053】その他の構造、すなわち
・半導体チップ1の半導体（Si）基板21が基準電位に設定されるとともに、その裏面とリードフレーム（ダイパッド）2とが導電性接着剤3によって接着されること。
40及び

・同半導体チップ1の表面に設けられた放熱パッド4とリードフレーム（アウタリード）2とが放熱リード線5によって電気的且つ物理的に接続されること。等は、この第2の実施例の半導体装置においても同様である。

【0054】また、その平面構造及び側面構造も、先の図2及び図3に準じた構造になっているものとする。したがって、同第2の実施例の半導体装置によっても、SOI構造にあって、絶縁膜22上に発生した熱の同チッ50

11

ア1裏面への放熱が該絶縁膜22の存在によって妨げられる状況にあれ、その発生した熱は、この場合トレンチ溝領域25から直接、高い効率でアウタリード2a、2bに放熱されるようになる。

【0055】そして、同第2の実施例の半導体装置の上記構成にあっても、絶縁膜22上において基準電位に設定されるトレンチ溝領域25が半導体基板21に電気的に接続されることとなるため、該トレンチ溝領域25の電位固定が確実に行われ、同半導体装置としての動作特性の更なる安定化が図られるようになる。

【0056】同第2の実施例の半導体装置における放熱パッド4や放熱リード線5、内部配線27、更にはパッケージPKGの材料やリードフレーム2の形状等に関する他の留意事項、或いは変更可能事項は、先の第1の実施例の半導体装置に準ずるものであり、ここでの改めての列举は割愛する。

【0057】(第3実施例)図5に、この発明にかかる半導体装置の第3の実施例を示す。この第3の実施例の半導体装置は、SOI構造を有する半導体チップとして同SOI構造を有するMOSデバイスを対象とし、そのチップ表面からの放熱性を改善し得るパッケージ構造を有する装置として構成されている。

【0058】一般にSOI構造を有する半導体チップにあっては、その絶縁膜上のセル形成領域に形成されるセル自身にも、基準電位に固定される電極がある。これらセルは、当該半導体チップの発熱源となるものであることから、このセル自身の基準電位に固定される電極を通じて同セル形成領域部分の放熱効率を高めることは、当該チップの放熱性を改善する上でより効果的である。

【0059】以下、同第3の実施例の半導体装置について、その装置構造を詳述する。図5に例示する半導体チップ1は、3ステート電源(-V, GND, +V)に対応したLDMOS(Lateral Double diffused MOS)構造を有するCMOS構成のパワー素子である。

【0060】同図5に示されるように、この半導体チップ1は、半導体基板31上に絶縁膜32が形成され、更にこの絶縁膜32上に、セル形成領域34a、34b、34c、及び34dと、これらセル形成領域を分離するトレンチ溝領域35及び誘電体層33とがそれぞれ形成される構成となっている。そして、セル形成領域34aにはドレイン電極Dが-V電源に接続されたNチャネルトランジスタ(NchTr)が、セル形成領域34b及び34cにはそれぞれソース電極SがGNDに接続されたPチャネルトランジスタ(PchTr)とNチャネルトランジスタ(NchTr)とが、またセル形成領域34dにはソース電極Sが+V電源に接続されたPチャネルトランジスタ(PchTr)が、それぞれ形成されている。

【0061】なお、同半導体チップ1において、電極38a、38b、及び38cは、上記セル形成領域34c

12

に形成されているNチャネルトランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極であり、電極39a、39b、及び39cは、上記セル形成領域34bに形成されているPチャネルトランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極である。これら電極のうち、セル形成領域34cに形成されているNチャネルトランジスタのソース電極38aとセル形成領域34bに形成されているPチャネルトランジスタのソース電極39aとが、上記GND電位に保たれて共通

10 接続されている。

【0062】こうした構成を有する半導体チップ1に対し、同第3の実施例の装置では、

(1) 半導体チップ1の上記半導体基板31を基準電位(接地電位)に設定するとともに、その裏面とリードフレーム(ダイパッド)2とを導電性接着剤3にて接着する。

20 (2) 同半導体チップ1の表面には放熱パッド4を設け、上記基準電位(GND電位)に設定されて共通接続されているNチャネルトランジスタ及びPチャネルトランジスタの各ソース電極38a及び39aとこの放熱パッド4とを、適宜の内部配線37によって電気的且つ物理的に接続する。

(3) これらソース電極38a及び39aに電気的且つ物理的に接続された放熱パッド4と同チップ1の裏面が導電性を保って接着されている上記リードフレーム(アウタリード)2とを更に、放熱リード線5によって電気的且つ物理的に接続する。

30 といった構造を採用することによって、セル形成領域の基準電位電極から直接、上記リードフレーム2への放熱が図られるようにしている。

【0063】また、この第3の実施例の半導体装置にあっても、その平面構造及び側面構造は、先の図2及び図3に準じた構造になっているものとする。したがって、同第3の実施例の半導体装置によれば、SOI構造にあって、絶縁膜32上に発生した熱の同チップ1裏面への放熱が該絶縁膜32の存在によって妨げられる状況にあっても、その発生した熱は、上記セル形成領域から直接、高い効率でアウタリード2a、2b(図2)に放熱されるようになる。このセル形成領域が当該半導体チップ1の発熱源となっていることは上述した通りであり、

40 こうして発熱源から直接、放熱路(アウタリード2a、2b)への放熱が図られることにより、その放熱効率は、先の第1或いは第2の実施例の半導体装置にも増して、大幅に向上されるようになる。

【0064】そして、この類の半導体装置の、更に大きな消費電力が必要とされるパワーデバイスへの応用も可能となる。また、同第3の実施例の半導体装置の上記構成によれば、絶縁膜32上に形成されるセルの基準電位電極が半導体基板31に電気的に接続されることとなるため、該基準電位電極の電位固定が確実に行われ、

50

この場合も、同半導体装置としての動作特性の更なる安定化が図られるようになる。

【0065】なお、同第3の実施例の半導体装置においても、放熱パッド4や放熱リード線5、内部配線37、更にはパッケージPKGの材料やリードフレーム2の形状等に関するその他の留意事項、或いは変更可能事項は、先の第1の実施例の半導体装置に準ずるものであり、ここでの改めての列挙は割愛する。

【0066】また、同第3の実施例の半導体装置において、上記各セル形成領域を分離するトレンチ溝領域35も、先の第2の実施例の半導体装置同様、これを基準電位に設定することができる。

【0067】したがって、同第3の実施例の半導体装置としての上記構成に併せて、それらトレンチ溝領域35に対し先の第2の実施例の半導体装置の構成を適用するようすれば、その放熱効率もより一層向上されることとなる。

【0068】(第4実施例) 図6に、この発明にかかる半導体装置の第4の実施例を示す。この第4の実施例の半導体装置も、先の第3の実施例の半導体装置と同様、SOI構造を有するMOSデバイスを対象として、そのチップ表面からの放熱性を改善し得るパッケージ構造を有する装置として構成されている。

【0069】以下、同第4の実施例の半導体装置について、その装置構造を詳述する。図6に例示する半導体チップ1は、SOI構造を有するCMOS構成のインバータ回路素子である。

【0070】同図6に示されるように、この半導体チップ1は、半導体基板41上に絶縁膜42が形成され、更にこの絶縁膜42上にセル形成領域44a及び44bが形成される構成となっている。そして、セル形成領域44aにはNチャネルトランジスタ(NchTr)が形成され、セル形成領域44bにはPチャネルトランジスタ(PchTr)が形成されている。

【0071】また、同半導体チップ1において、電極48a、48b、及び48cは、上記セル形成領域44aに形成されているNチャネルトランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極であり、また符号49はpウェルを示す。そして、このpウェル49とNチャネルトランジスタのソース電極48aとは、GND電位に保たれて共通接続されている。

【0072】こうした構成を有する半導体チップ1に対し、同第4の実施例の装置では、

(1) 半導体チップ1の上記半導体基板41を基準電位(接地電位)に設定するとともに、その裏面とリードフレーム(ダイパッド)2とを導電性接着剤3にて接着する。

(2) 同半導体チップ1の表面には放熱パッド4を設け、上記基準電位(GND電位)に設定されて共通接続されているpウェル49及びNチャネルトランジスタの

ソース電極48aとこの放熱パッド4とを、適宜の内部配線47によって電気的且つ物理的に接続する。

(3) これらpウェル49及びソース電極48aに電気的且つ物理的に接続された放熱パッド4と同チップ1の裏面が導電性を保って接着されている上記リードフレーム(アウタリード)2とを更に、放熱リード線5によつて電気的且つ物理的に接続する。といった構造を採用することによって、この場合もセル形成領域の基準電位電極から直接、上記リードフレーム2への放熱が図られるようしている。

【0073】そして、同第4の実施例の半導体装置にあっても、その平面構造及び側面構造は、先の図2及び図3に準じた構造になっているものとする。したがって、同第4の実施例の半導体装置によつても、SOI構造にあって、絶縁膜42上に発生した熱の同チップ1裏面への放熱が該絶縁膜42の存在によって妨げられる状況にあれ、その発生した熱は、上記セル形成領域から直接、高い効率でアウタリード2a、2b(図2)に放熱されるようになる。

【0074】そしてこの場合も、発熱源から直接、放熱路(アウタリード2a、2b)への放熱が図られることにより、その放熱効率は、先の第1或いは第2の実施例の半導体装置にも増して、大幅に向上されるようになる。

【0075】また、同第4の実施例の半導体装置の上記構成によつても、絶縁膜42上に形成されるセルの基準電位電極が半導体基板41に電気的に接続されて、その電位固定化が確実に行われ、同半導体装置としての動作特性の更なる安定化が図られるようになる。

【0076】また、同第4の実施例の半導体装置においても、放熱パッド4や放熱リード線5、内部配線47、更にはパッケージPKGの材料やリードフレーム2の形状等に関するその他の留意事項、或いは変更可能事項は、先の第1の実施例の半導体装置に準ずる。

【0077】(第5実施例) 図7に、この発明にかかる半導体装置の第5の実施例を示す。この第5の実施例の半導体装置は、部分SOI構造を有するMOSデバイスを対象として、そのチップ表面からの放熱性を改善し得るパッケージ構造を有する装置として構成されている。

【0078】以下、同第5の実施例の半導体装置について、その装置構造を詳述する。図7に例示する半導体チップ1は、部分SOI構造を有するインテリジェントパワーICである。

【0079】同図7に示されるように、この半導体チップ1は、上述したLDMOS構造を有するパワー素子部とSOI構造を有する制御用素子部との大きさは2つの部分からなっている。

【0080】このうち、パワー素子部には、絶縁膜52及びトレンチ溝領域55によって素子分離された2つのパワートランジスタが半導体基板51上に形成されてい

る。電極58a、58b、及び58cは、第1のパワートランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極である。また、電極58d、58e、及び58fは、第2のパワートランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極である。そして、これらトランジスタのソース電極58a及び58dは、何れもGND電位に設定されている。

【0081】他方、SOI構造を有する制御用素子部は、半導体基板51上に絶縁膜52が形成され、更にこの絶縁膜52上に、トレンチ溝領域55によって分離されたセル形成領域54a及び54bが形成される構成となっている。そして、セル形成領域54aにはPチャネルトランジスタが形成され、セル形成領域54bにはNチャネルトランジスタが形成されている。また、同制御用素子部において、電極59a、59b、及び59cは、上記セル形成領域54bに形成されているNチャネルトランジスタのそれぞれソース電極、ドレイン電極、及びゲート電極であり、また符号60はpウェルを示す。そして、これらpウェル60とNチャネルトランジスタのソース電極59aとが、GND電位に設定されて共通接続されている。

【0082】こうした構成を有する半導体チップ1に対し、同第5の実施例の装置では、

(1) 半導体チップ1の上記半導体基板51を基準電位(接地電位)に設定するとともに、その裏面とリードフレーム(ダイパッド)2とを導電性接着剤3にて接着する。

(2) 同半導体チップ1の表面には放熱パッド4を設ける。そして、上記基準電位(GND電位)に設定されているパワートランジスタの各ソース電極58a及び58dとこの放熱パッド4とを、また同基準電位(GND電位)に設定されて共通接続されているpウェル60及びNチャネルトランジスタのソース電極59aとこの放熱パッド4とを、適宜の内部配線57によってそれぞれ電気的且つ物理的に接続する。

(3) これら基準電位電極部に電気的且つ物理的に接続された放熱パッド4と同チップ1の裏面が導電性を保つて接着されている上記リードフレーム(アウタリード)2とを更に、放熱リード線5によって電気的且つ物理的に接続する。

といった構造を採用する。

【0083】そして、同第5の実施例の半導体装置にあっても、その平面構造及び側面構造は、先の図2及び図3に準じた構造になっているものとする。上記パワーユニットの場合、SOI構造とはなっていないことから、当該半導体チップ1裏面からの放熱も可能ではあるが、こうして放熱パッド4及び放熱リード線5を通じて同チップ表面からの放熱を図ることにより、その放熱効率も更に高まることとなる。

【0084】また、上記制御用素子部の場合には、先の

第3或いは第4の実施例の半導体装置の場合と同様、SOI構造にあって、絶縁膜52上に発生した熱の同チップ1裏面への放熱が該絶縁膜52の存在によって妨げられる状況にあり、その発生した熱は、上記セル形成領域から直接、高い効率でリードフレーム(アウタリード)2に放熱されるようになる。

【0085】一方、同第5の実施例の半導体装置の上記構成によても、各セルの基準電位電極は半導体基板51に電気的に接続され、その電位固定化が確実に行われ10するようになる。したがってこの場合も、同半導体装置としての動作特性の異なる安定化が図られるようになる。

【0086】なお、同第5の実施例の半導体装置においても、放熱パッド4や放熱リード線5、内部配線57、更にはパッケージPKGの材料やリードフレーム2の形状等に関するその他の留意事項、或いは変更可能事項は、先の第1の実施例の半導体装置に準ずるものであり、それら事項についての重複する説明は割愛する。

【0087】また、この第5の実施例の半導体装置においても、上記各トレンチ溝領域55は、先の第2の実施例の半導体装置同様、これを基準電位に設定することができる。

【0088】したがってこの場合も、同第5の実施例の半導体装置としての上記構成に併せて、それらトレンチ溝領域55に対し先の第2の実施例の半導体装置の構成を適用するようにすれば、その放熱効率もより一層向上されることとなる。

【0089】ところで、先の第1の実施例では絶縁膜上のバッファ領域を、また第2の実施例ではトレンチ溝領域を、そして第3～第5の実施例ではセル自身の基準電位電極部を、それぞれ放熱パッド4に接続する構成としたが、これら部位は、半導体チップ内の上記絶縁膜上において基準電位に設定される部位でさえあればよく、これら示例した部位には限られない。

【0090】また、特に第5の実施例として例示したような部分SOI構造を有するMOSデバイスでは、例えば図8に示されるように、半導体基板51を基準電位(接地電位)ではなく、基板バイアス用電源61等によってある所定の電位に固定して使用することがある。そしてこのような場合には、上述したように放熱パッド4とリードフレーム(アウタリード)2とを放熱リード線5によって電気的に接続することができないため、上述した態様で放熱路を確保することはできない。

【0091】しかしこの場合であれ、同図8に縦型のパワー・デバイスとして示されるトランジスタの電極(ソース電極またはドレイン電極)68や69、或いは制御用素子部にあるトランジスタの電極(ドレイン電極またはソース電極)70のように、共通の電位として用いられる電極は存在する。したがってこれらの電極について50は、それぞれ内部配線57'によってチップ1の表面に電気的に引き出し、先の図2に例示した放熱パッド6に

17

対応するかたちで放熱パッド6'を形成することはできる。そして、こうした放熱パッド6'の形成によって、半導体チップ1の表面に発生した熱を低減させることができるとなる。また、共通電位にある放熱パッド6'、6'…については、更にこれら放熱パッド間を放熱リード線7'によって電気的且つ物理的に接続することもでき、その放熱効率の更なる向上を図ることもできる。

【0092】このような構造は特に、パッケージが樹脂モールドからなる場合、その熱抵抗の低減に効果的である。なおこの場合も、上記各放熱パッド6'についてはこれをスペースの許す限り広い面積に形成し、上記放熱リード線7'としても極力線径の太い線材を用いることが、放熱効率を更に向上させる上で望ましい。

【0093】またこの場合、上記放熱パッド6'は、前述した半導体チップ搭載部(ダイパッド)2とは一体に形成されない別体アウタリード8に電気的且つ物理的に接続されることとなるため、放熱効率の点では上述した各実施例に及ばないものの、放熱効率を高める簡便な手法としては極めて有効である。

【0094】

【発明の効果】以上説明したように、この発明では、半導体チップ内の絶縁膜上において基準電位に設定される部位を、放熱パッド及び放熱リード線を介してリードフレームの外部接続リード部に電気的に接続して、同部位についての放熱路を形成、確保するようにしている。

【0095】したがってこの発明によれば、SOI構造を有する半導体チップを用いた半導体装置であれ、そのパッケージサイズの増大やパッケージングコストの高揚を何ら招くことなく、その放熱効率の大幅な向上を図ることができるようになる。

【0096】またこの発明によれば、上記半導体チップ内の絶縁膜上において基準電位に設定される部位の電位固定も確実に行われることとなり、同半導体装置としての動作特性もより安定したものとなる。

【図面の簡単な説明】

18

【図1】この発明にかかる半導体装置の第1の実施例についてその装置構造を模式的に示す断面図である。

【図2】同実施例の半導体装置の平面構造を示す平面図である。

【図3】同実施例の半導体装置の側面構造を示す側面図である。

【図4】この発明にかかる半導体装置の第2の実施例についてその装置構造を模式的に示す断面図である。

【図5】この発明にかかる半導体装置の第3の実施例についてその装置構造を模式的に示す断面図である。

【図6】この発明にかかる半導体装置の第4の実施例についてその装置構造を模式的に示す断面図である。

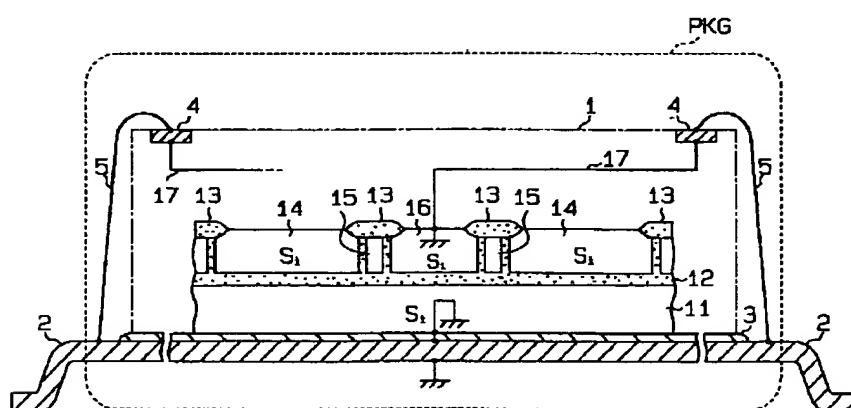
【図7】この発明にかかる半導体装置の第5の実施例についてその装置構造を模式的に示す断面図である。

【図8】同第5の実施例にかかる部分SOI構造を有する半導体装置に対する更に他の実施例についてその装置構造を模式的に示す断面図である。

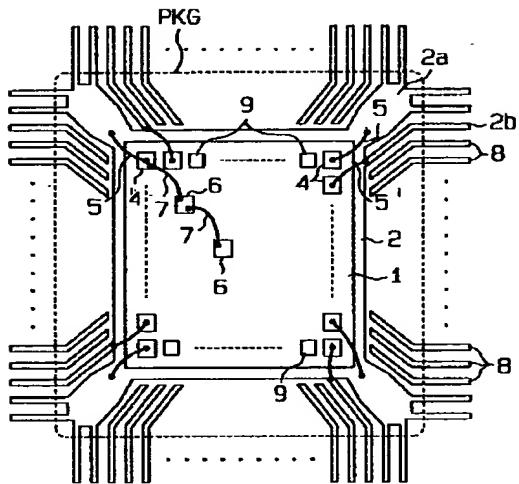
【符号の説明】

- 1…半導体チップ、2…リードフレーム(半導体チップ搭載部若しくはダイパッド)、2a、2b…リードフレーム(外部接続リード部若しくはアウタリード)、3…導電性接着剤、4、6、6'…放熱パッド、5、7、7'…放熱リード線、8…リードフレーム(別体外部接続リード部若しくは別体アウタリード)、9…電極パッド、11、21、31、41、51…半導体基板、12、22、32、42、52…絶縁膜(SiO₂)、13、23、33…セル分離用誘電体層(SiO₂)、14、24、34、44、54…セル形成領域、15、25、35、55…トレンチ溝領域、16…バッファ領域、17、27、37、47、57、57'…放熱用内部配線、38、39、48、58、59、68、69、70…セル(トランジスタ)電極、49、60…Pウェル(Pwell)、61…基板バイアス用電源、PKG…パッケージ。

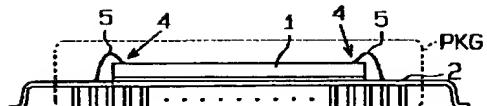
【図1】



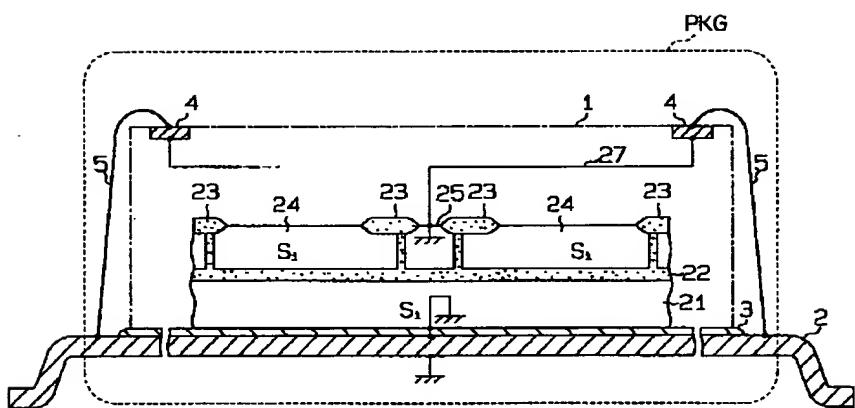
【図2】



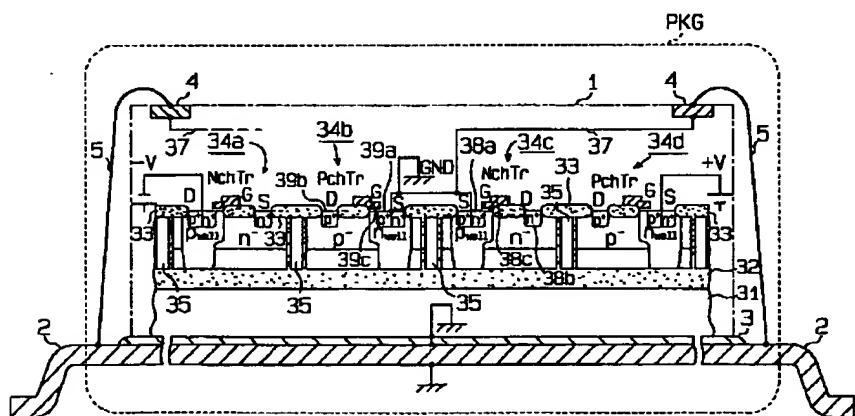
【図3】



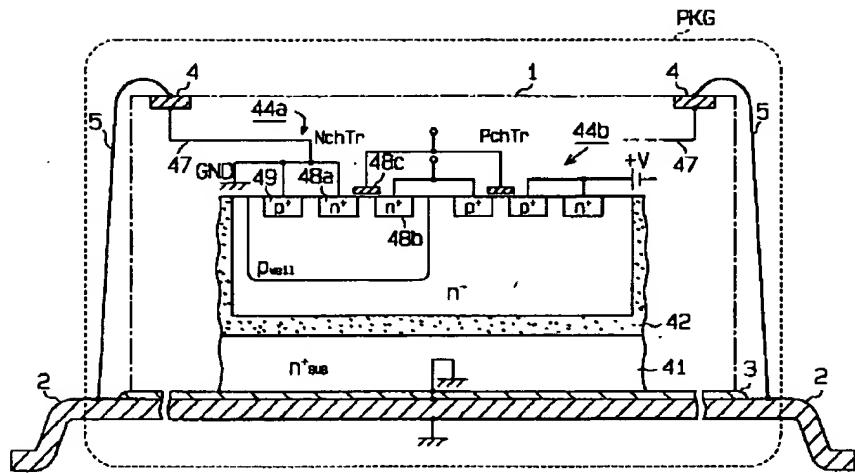
【図4】



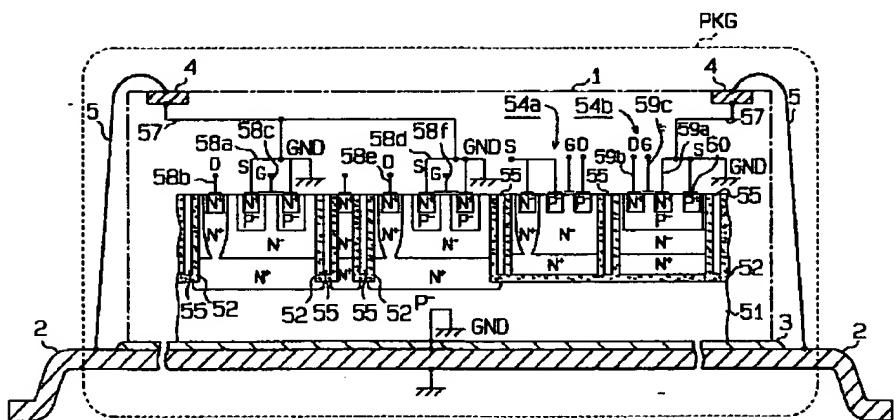
【図5】



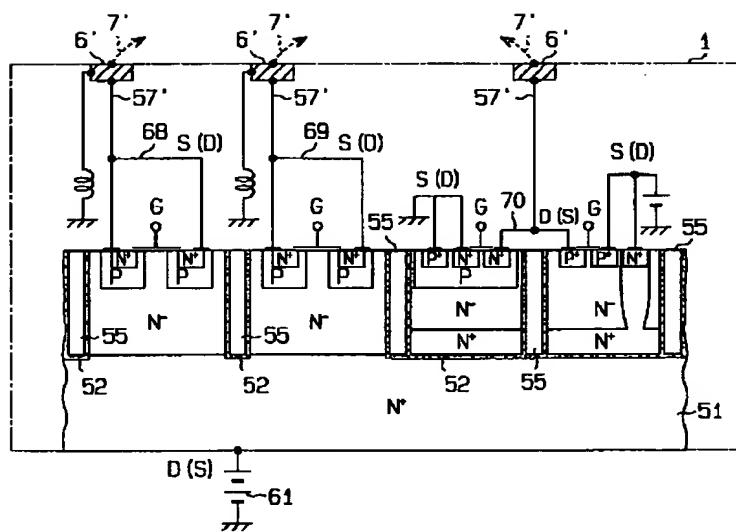
【図6】



【図7】



【図8】



CLIPPEDIMAGE= JP407335811A
PAT-NO: JP407335811A
DOCUMENT-IDENTIFIER: JP 07335811 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 22, 1995

INVENTOR-INFORMATION:

NAME
OBARA, FUMIO
YOSHIHARA, SHINJI
FUJINO, SEIJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPONDENSO CO LTD	N/A

APPL-NO: JP06129324

APPL-DATE: June 10, 1994

INT-CL_(IPC): H01L023/50; H01L021/60 ; H01L023/34

ABSTRACT:

PURPOSE: To improve heat radiation efficiency of a semiconductor device which incorporates a semiconductor chip having an SOI(Silicon On Insulator) structure without increasing a package size and cost.

CONSTITUTION: A semiconductor chip 1 having an SOI structure is bonded to a die pad 2 in the state where the back surface of a semiconductor substrate 11 of the semiconductor chip 1 is set to reference potential and electric conduction is kept between the back surface of the semiconductor substrate 11 and the lead frame (die pad) 2. In contrast, there is provided a heat dissipation pad 4 on the surface of the semiconductor chip 1 where electric conduction is kept with a part (buffer region 16) set to reference potential on an insulating film 12 inside the surface. The heat radiation pad 4 and the lead frame (external connection lead part) 2 are electrically connected with each other through a heat radiation lead wire 5, and hence heat produced on the insulating film 12 is dissipated on the lead frame 2 through the heat radiation pad 4 and the heat

radiation lead wire 5.

COPYRIGHT: (C)1995,JPO